

**WEST**

Generate Collection

L3: Entry 16 of 25

File: JPAB

Dec 12, 1997

PUB-NO: JP409321157A

DOCUMENT-IDENTIFIER: JP 09321157 A

TITLE: SPLIT GATE TRANSISTOR, MANUFACTURE OF SPLIT GATE TRANSISTOR, AND NON-VOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: December 12, 1997

## INVENTOR-INFORMATION:

NAME

COUNTRY

KUROOKA, KAZUMI

FUKASE, KENJI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP09078326

APPL-DATE: March 28, 1997

INT-CL (IPC): H01L 21/8247; H01L 29/788; H01L 29/792; G11C 16/02; G11C 16/04; H01L 27/115

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a split gate transistor having a long life.

SOLUTION: A source region 3 and a drain region 4 are formed on a single crystal silicon substrate 2. On a channel region 5 provided between the source region 3 and the drain region 4, a floating gate electrode 7 made of a doped polysilicon film is formed via a gate insulating film 6 made of a silicon oxide film. On the floating gate electrode 7, a control gate electrode 9 made of a doped polysilicon film is formed via an insulating film 19 and a tunnel insulating film 8 made of a silicon oxide film. On sidewall portions of the floating gate electrode 7, a layer made of a doped polysilicon film containing nitrogen atoms (i.e., nitrogen atom containing layer) 7a is provided. The nitrogen atom containing layer 7a is formed by rotational and tilted ion implantation of nitrogen atoms.

COPYRIGHT: (C)1997,JPO

AB: PROBLEM TO BE SOLVED: To provide a split gate transistor having a long life., SOLUTION: A source region 3 and a drain region 4 are formed on a single crystal silicon substrate 2. On a channel region 5 provided between the source region 3 and the drain region 4, a floating gate electrode 7 made of a doped polysilicon film is formed via a gate insulating film 6 made of a silicon oxide film. On the floating gate electrode 7, a control gate electrode 9 made of a doped polysilicon film is formed via an insulating film 19 and a tunnel insulating film 8 made of a silicon oxide film. On sidewall portions of the floating gate electrode 7, a layer made of a doped polysilicon film containing nitrogen atoms (i.e., nitrogen atom containing layer) 7a is provided. The nitrogen atom containing layer 7a is formed by rotational and tilted ion implantation of nitrogen atoms., COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321157

(43)公開日 平成9年(1997)12月12日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
	29/788		G 1 1 C 17/00	3 0 7 D
	29/792		H 0 1 L 27/10	4 3 4
G 1 1 C 16/02				
16/04				

審査請求 有 請求項の数19 O L (全 20 頁) 最終頁に続く

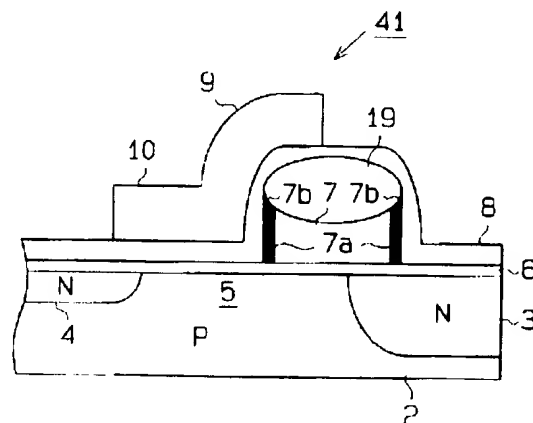
(21)出願番号	特願平9-78326	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成9年(1997)3月28日	(72)発明者	黒岡 和巳 大阪府守口市京阪本通2丁目5番5号 三 洋電機 株式会社内
(31)優先権主張番号	特願平8-77145	(72)発明者	深瀬 健二 大阪府守口市京阪本通2丁目5番5号 三 洋電機 株式会社内
(32)優先日	平8(1996)3月29日	(74)代理人	弁理士 安富 耕二 (外1名)
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリ

(57)【要約】

【課題】長寿命なスプリットゲート型トランジスタを提供する。

【解決手段】単結晶シリコン基板2上にソース領域3およびドレイン領域4が形成されている。ソース領域3とドレイン領域4に挟まれたチャネル領域5上に、シリコン酸化膜から成るゲート絶縁膜6を介して、ドーパドポリシリコン膜から成る浮遊ゲート電極7が形成されている。浮遊ゲート電極7上に絶縁膜19およびシリコン酸化膜から成るトンネル絶縁膜8を介して、ドーパドポリシリコン膜から成る制御ゲート電極9が形成されている。浮遊ゲート電極7の側壁部には、窒素原子を含有したドーパドポリシリコン膜から成る層(窒素原子含有層)7aが設けられている。窒素原子含有層7aは窒素原子の回転・斜めイオン注入法によって形成される。



## 【特許請求の範囲】

【請求項1】 浮遊ゲート電極(7)の一部が窒素原子を含有したスプリットゲート型トランジスタ。

【請求項2】 少なくとも浮遊ゲート電極(7)におけるデータの消去時に電子が飛び出す部分が窒素原子を含有したスプリットゲート型トランジスタ。

【請求項3】 少なくとも浮遊ゲート電極(7)の側壁部に、窒素原子を含有した層(7a)が設けられたスプリットゲート型トランジスタ。

【請求項4】 少なくとも浮遊ゲート電極(7)の制御ゲート電極(9)に覆われた側壁部に、窒素原子を含有した層(7a)が設けられたスプリットゲート型トランジスタ。

【請求項5】 請求項1〜4のいずれか1項に記載のスプリットゲート型トランジスタにおいて、

浮遊ゲート電極(7)と制御ゲート電極(9)との間に設けられたトンネル絶縁膜(8)を備え、

浮遊ゲート電極はポリシリコン膜、アモルファスシリコン膜、単結晶シリコン膜から成るグループから選択された一つの導電膜から形成され、トンネル絶縁膜は酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とする絶縁膜から形成されたスプリットゲート型トランジスタ。

【請求項6】 半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、

浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項7】 半導体基板(2)上にポリシリコン膜(31)、アモルファスシリコン膜、単結晶シリコン膜から成るグループから選択された一つの導電膜を形成する工程と、

その導電膜(31)をパターニングして浮遊ゲート電極(7)を形成する工程と、

浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程と、

熱酸化法、熱窒化法、熱酸窒化法、CVD法のうち少なくとも一つの方法を用い、上記の工程で形成されたデバイス上に、酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とするトンネル絶縁膜(8)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項8】 請求項6または請求項7に記載のスプリットゲート型トランジスタの製造方法において、

浮遊ゲート電極(7)を窒化する際に、窒素イオンの注入法、窒素プラズマに晒す方法、窒化雰囲気中で熱処理を行う方法からなるグループから選択されたいずれか一つの方法を用いるスプリットゲート型トランジスタの製造方法。

【請求項9】 請求項6または請求項7に記載のスプリットゲート型トランジスタの製造方法において、

ットゲート型トランジスタの製造方法において、

浮遊ゲート電極(7)を窒化する際に、窒素イオンの回転斜めイオン注入法を用いるスプリットゲート型トランジスタの製造方法。

【請求項10】 浮遊ゲート電極(7)と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)の所望の部分が窒素原子を含有しているスプリットゲート型トランジスタ。

【請求項11】 浮遊ゲート電極(7)と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有しているスプリットゲート型トランジスタ。

【請求項12】 請求項10または請求項11に記載のスプリットゲート型トランジスタにおいて、

トンネル絶縁膜(8)は酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とする膜から成るスプリットゲート型トランジスタ。

【請求項13】 半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、

上記の工程で形成されたデバイス上にトンネル絶縁膜(8)を形成する工程と、

トンネル絶縁膜を窒化する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項14】 請求項13に記載のスプリットゲート型トランジスタの製造方法において、

トンネル絶縁膜(8)を窒化する際に、窒素イオンの注入法、窒素プラズマに晒す方法、窒化雰囲気中で熱処理を行う方法からなるグループから選択されたいずれか一つの方法を用いるスプリットゲート型トランジスタの製造方法。

【請求項15】 少なくとも浮遊ゲート電極(7)におけるデータの消去時に電子が飛び出す部分が窒素原子を含有し、浮遊ゲート電極と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有しているスプリットゲート型トランジスタ。

【請求項16】 少なくとも浮遊ゲート電極(7)の制御ゲート電極(9)に覆われた側壁部に、窒素原子を含有した層(7a)が設けられ、浮遊ゲート電極と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有しているスプリットゲート型トランジスタ。

【請求項17】 半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、

浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程と、

上記の工程で形成されたデバイス上にトンネル絶縁膜(8)を形成する工程と、

トンネル絶縁膜を窒化する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項18】 請求項1〜5, 10〜12, 15, 16のいずれか1項に記載のスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ。

【請求項19】 請求項6〜9, 13, 14, 17のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】近年、強誘電性メモリ(Ferro-electric Random Access Memory)、EPROM(Erasable and Programmable Read Only Memory)、EEPROM(Electrically Erasable and Programmable Read Only Memory)などの不揮発性半導体メモリが注目されている。EPROMやEEPROMでは、浮遊ゲート電極に電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲート電極によって検出することで、データの記憶を行わせるようになっている。また、EEPROMには、メモリセルアレイ全体でデータの消去を行うか、あるいは、メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュEEPROMがある。

【0003】フラッシュEEPROMを構成するメモリセル(メモリセルトランジスタ)は、スタックゲート型とスプリットゲート型に大きく分類される。スタックゲート型メモリセルを用いたフラッシュEEPROMは、個々のメモリセルにそれ自身を選択する機能がない。そのため、データ消去時に浮遊ゲート電極から電荷を引き抜く際、電荷を過剰に抜き過ぎると、メモリセルを非導通状態にするための所定の電圧(例えば、0V)を制御ゲート電極に印加したときでも、チャネル領域が導通状態になる。その結果、そのメモリセルが常に導通状態になり、ソース領域とドレイン領域との間にセル電流が常時流れて、記憶されたデータの読み出しが不能になるという問題、いわゆる過剰消去の問題が起こる。過剰消去を防止するには、消去手順に工夫が必要で、メモリデバイスの周辺回路で消去手順を制御するか、またはメモリデバイスの外部回路で消去手順を制御する必要がある。

【0004】このようなスタックゲート型メモリセルにおける過剰消去の問題を回避するために開発されたのが、スプリットゲート型メモリセルである。スプリットゲート型メモリセルを用いたフラッシュEEPROMは、WO92/18980(GIIC 13/00)に開示されている。

【0005】図12は、従来のスプリットゲート型メモリセル1の断面図である。スプリットゲート型メモリセル(スプリットゲート型トランジスタ)1は、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極7、制御ゲート電極9から構成されている。

【0006】P型単結晶シリコン基板2上にN型のソース領域3およびドレイン領域4が形成されている。ソース領域3とドレイン領域4に挟まれたチャネル領域5上に、ゲート絶縁膜6を介して浮遊ゲート電極7が形成されている。浮遊ゲート電極7上にLOCOS(Local Oxidation on Silicon)法によって形成された絶縁膜19およびトンネル絶縁膜8を介して制御ゲート電極9が形成されている。絶縁膜19により、浮遊ゲート電極7の上部の周辺部分には突起7bが形成されている。

【0007】ここで、制御ゲート電極9の一部は、各絶縁膜6, 8を介してチャネル領域5上に配置され、選択ゲート10を構成している。その選択ゲート10とソース領域3およびドレイン領域4とにより、選択トランジスタ11が構成される。すなわち、スプリットゲート型メモリセル1は、各ゲート電極7, 9と各領域3, 4から構成されるトランジスタと、選択トランジスタ11とが直列に接続された構成となっている。

【0008】図13(a)は、スプリットゲート型メモリセル1を用いたフラッシュEEPROM151のメモリセルアレイ152の一部断面図である。メモリセルアレイ152は、P型単結晶シリコン基板2上に形成された複数のメモリセル1によって構成されている。

【0009】基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル1(以下、2つを区別するため「1a」「1b」と表記する)は、ソース領域3を共通にし、その共通のソース領域3に対して浮遊ゲート電極7および制御ゲート電極9が反転した形で配置されている。

【0010】図13(b)は、メモリセルアレイ152の一部平面図である。尚、図13(a)は、図13(b)におけるA-A線断面図である。基板2上にはフィールド絶縁膜13が形成され、そのフィールド絶縁膜13によって各メモリセル1間の素子分離が行われている。図13(b)の縦方向に配置された各メモリセル1のソース領域3は共通になっている。また、図13(b)の縦方向に配置された各メモリセル1の制御ゲート電極9は共通になっており、その制御ゲート電極9によってワード線が形成されている。また、図13(b)の横方向に配置されている各ドレイン領域4は、ビット

線コンタクト14を介してビット線(図示略)に接続されている。

【0011】図14に、スプリットゲート型メモリセル1を用いたフラッシュEEPROM151の全体構成を示す。メモリセルアレイ152は、複数のメモリセル1がマトリックス状に配置されて構成されている。行(ロウ)方向に配列された各メモリセル1の制御ゲート電極9により、共通のワード線WL<sub>a</sub>~WL<sub>z</sub>が形成されている。列(カラム)方向に配列された各メモリセル1のドレイン領域4は、共通のビット線BL<sub>a</sub>~BL<sub>z</sub>に接

続されている。  
【0012】奇数番のワード線(WL<sub>a</sub>...WL<sub>m</sub>...WL<sub>y</sub>)に接続された各メモリセル1bと、偶数番のワード線(WL<sub>b</sub>...WL<sub>n</sub>...WL<sub>z</sub>)に接続された各メモリセル1aとはソース領域3を共通にし、その共通のソース領域3によって各ソース線RSL<sub>a</sub>~RSL<sub>m</sub>が形成されている。例えば、ワード線WL<sub>a</sub>に接続された各メモリセル1bと、ワード線WL<sub>b</sub>に接続された各メモリセル1aとはソース領域3を共通にし、その共通のソース領域3によってソース線RSL<sub>a</sub>が形成されている。各

ソース線RSL<sub>a</sub>~RSL<sub>m</sub>は共通ソース線SLに接続されている。  
【0013】各ワード線WL<sub>a</sub>~WL<sub>z</sub>はロウデコーダ153に接続され、各ビット線BL<sub>a</sub>~BL<sub>z</sub>はカラムデコーダ154に接続されている。外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン155に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン155からアドレスバッファ156を介してアドレスラッチ157へ転送される。アドレスラッチ157でラッチされた各アドレスのうち、ロウ

アドレスはロウデコーダ153へ転送され、カラムアドレスはカラムデコーダ154へ転送される。  
【0014】ロウデコーダ153は、アドレスラッチ157でラッチされたロウアドレスに対応した1本のワード線WL<sub>a</sub>~WL<sub>z</sub>(例えば、WL<sub>m</sub>)を選択し、その選択したワード線WL<sub>m</sub>の電位を、図15に示す各動作モードに対応して制御する。

【0015】カラムデコーダ154は、アドレスラッチ157でラッチされたカラムアドレスに対応したビット線BL<sub>a</sub>~BL<sub>z</sub>(例えば、BL<sub>m</sub>)を選択し、その選択したビット線BL<sub>m</sub>の電位を、図15に示す各動作モードに対応して制御する。

【0016】共通ソース線SLはソース線バイアス回路162に接続されている。ソース線バイアス回路162は、共通ソース線SLを介して各ソース線RSL<sub>a</sub>~RSL<sub>m</sub>の電位を、図15に示す各動作モードに対応して制御する。

【0017】外部から指定されたデータは、データピン158に入力される。そのデータは、データピン158から入力バッファ159を介してカラムデコーダ154

へ転送される。カラムデコーダ154は、前記のように選択したビット線BL<sub>a</sub>~BL<sub>z</sub>の電位を、そのデータに対応して後記するように制御する。

【0018】任意のメモリセル1から読み出されたデータは、ビット線BL<sub>a</sub>~BL<sub>z</sub>からカラムデコーダ154を介してセンスアンプ群160へ転送される。センスアンプ群160は、数個のセンスアンプ(図示略)から構成されている。カラムデコーダ154は、選択したビット線BL<sub>m</sub>と各センスアンプとを接続する。後記するように、センスアンプ群160で判別されたデータは、出力バッファ161からデータピン158を介して外部へ出力される。

【0019】尚、上記した各回路(153~162)の動作は制御コア回路163によって制御される。次に、フラッシュEEPROM151の各動作モード(消去モード、書き込みモード、読み出しモード、スタンバイモード)について、図15を参照して説明する。

【0020】(a)消去モード

消去モードにおいて、全てのソース線RSL<sub>a</sub>~RSL<sub>m</sub>および全てのビット線BL<sub>a</sub>~BL<sub>z</sub>の電位はグラウンドレベル(=0V)に保持される。選択されたワード線WL<sub>m</sub>には14~15Vが供給され、それ以外のワード線(非選択のワード線)WL<sub>a</sub>~WL<sub>l</sub>, WL<sub>n</sub>~WL<sub>z</sub>の電位はグラウンドレベルにされる。そのため、選択されたワード線WL<sub>m</sub>に接続されている各メモリセル1の制御ゲート電極9は14~15Vに持ち上げられる。

【0021】ところで、ソース領域3および基板2と浮遊ゲート電極7との間の静電容量と、制御ゲート電極9と浮遊ゲート電極7の間の静電容量とを比べると、前者の方が圧倒的に大きい。そのため、制御ゲート電極9が14~15V、ソース及びドレインが0Vの場合、制御ゲート電極9と浮遊ゲート電極7の間には高電界が生じる。その結果、ファウラー-ノルドハイム・トンネル電流(Fowler-Nordheim Tunnel Current、以下、FNトンネル電流という)が流れ、図12の矢印Bに示すように、浮遊ゲート電極7中の電子が制御ゲート電極9側へ引き抜かれて、メモリセル1に記憶されたデータの消去が行われる。このとき、浮遊ゲート電極7には突起7bが形成されているため、浮遊ゲート電極7中の電子は突起7bから飛び出して制御ゲート電極9側へ移動する。従って、電子の移動が容易になり、浮遊ゲート電極7中の電子を効率的に引き抜くことができる。

【0022】この消去動作は、選択されたワード線WL<sub>m</sub>に接続されている全てのメモリセル1に対して行われる。尚、複数のワード線WL<sub>a</sub>~WL<sub>z</sub>を同時に選択することにより、その各ワード線に接続されている全てのメモリセル1に対して消去動作を行うこともできる。このように、メモリセルアレイ152を複数組のワード線WL<sub>a</sub>~WL<sub>z</sub>毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消

去と呼ばれる。

#### 【0023】(b) 書き込みモード

書き込みモードにおいて、選択されたメモリセル1のドレイン領域4に接続されているビット線BLmの電位はグラウンドレベルにされ、それ以外のビット線(非選択のビット線)BLa~BLl, BLn~BLzには4Vが供給される。選択されたメモリセル1の制御ゲート電極9に接続されているワード線WLmには2Vが供給され、それ以外のワード線(非選択のワード線)WLa~WLl, WLn~WLzの電位はグラウンドレベルにされる。全てのソース線RSLa~RSLmには1.2Vが供給される。

【0024】ところで、メモリセル1において、選択トランジスタ11の閾値電圧Vthは0.5Vである。従って、選択されたメモリセル1では、ドレイン領域4中の電子は反転状態のチャネル領域5中へ移動する。そのため、ソース領域3からドレイン領域4に向かってセル電流が流れる。一方、ソース領域3に1.2Vが印加されるため、ソース領域3と浮遊ゲート電極7との間の容量を介したカップリングにより、浮遊ゲート電極7の電位が持ち上げられる。そのため、チャネル領域5と浮遊ゲート電極7の間には高電界が生じる。従って、チャネル領域5中の電子は加速されてホットエレクトロンとなり、図12の矢印Cに示すように、浮遊ゲート電極7へ注入される。その結果、選択されたメモリセル1の浮遊ゲート電極7には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0025】この書き込み動作は、消去動作と異なり、選択されたメモリセル1毎に行うことができる。

#### (c) 読み出しモード

読み出しモードにおいて、選択されたメモリセル1の制御ゲート電極9に接続されているワード線WLmには4Vが供給され、それ以外のワード線(非選択のワード線)WLa~WLl, WLn~WLzの電位はグラウンドレベルにされる。選択されたメモリセル1のドレイン領域4に接続されているビット線BLmには2Vが供給され、それ以外のビット線(非選択のビット線)BLa~BLl, BLn~BLzの電位はグラウンドレベルにされる。

【0026】前記したように、消去状態にあるメモリセル1の浮遊ゲート電極7中からは電子が引き抜かれている。また、書き込み状態にあるメモリセル1の浮遊ゲート電極7中には電子が注入されている。従って、消去状態にあるメモリセル1の浮遊ゲート電極7直下のチャネル領域5はオンしており、書き込み状態にあるメモリセル1の浮遊ゲート電極7直下のチャネル領域5はオフしている。そのため、制御ゲート電極9に4Vが印加されたとき、ドレイン領域4からソース領域3に向かって流れるセル電流は、消去状態のメモリセル1の方が書き込み状態のメモリセル1よりも大きくなる。

【0027】この各メモリセル1間のセル電流の大小をセンスアンプ群160内の各センスアンプで判別することにより、メモリセル1に記憶されたデータの値を読み出すことができる。例えば、消去状態のメモリセル1のデータの値を「1」、書き込み状態のメモリセル1のデータの値を「0」として読み出しを行う。つまり、各メモリセル1に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値を記憶させることができる。

#### 【0028】(d) スタンバイモード

スタンバイモードにおいて、共通ソース線SL、全てのワード線WLa~WLz、全てのビット線BLa~BLzの電位はグラウンドレベルに保持されている。このスタンバイモードでは、全てのメモリセル1に対していかなる動作(消去動作、書き込み動作、読み出し動作)も行われない。

#### 【0029】このように構成されたスプリットゲート型メモリセル1を用いたフラッシュEEPROM151

は、選択トランジスタ11が設けられているため、個々のメモリセル1にそれ自身を選択する機能がある。つまり、データ消去時にフローティングゲート電極7から電荷を引き抜く際に電荷を過剰に抜き過ぎて、選択ゲート10によってチャネル領域5を非導通状態にすることができる。従って、過剰消去が発生したとしても、選択トランジスタ11によってメモリセル1の導通・非導通を制御することができ、過剰消去が問題にならない。すなわち、メモリセル1の内部に設けられた選択トランジスタ11によって、そのメモリセル自身の導通・非導通を選択することができる。

【0030】ところで、図12および図13に示すスプリットゲート型メモリセル1において、ソース領域3をドレイン領域とし、ドレイン領域4をソース領域としたフラッシュEEPROMが、USP-5029130(611C 11/40)に開示されている。

【0031】図16(a)は、その場合のスプリットゲート型メモリセル21を用いたフラッシュEEPROM171のメモリセルアレイ152の一部断面図である。図16(b)は、その場合のメモリセルアレイ152の一部平面図である。尚、図16(a)は、図16(b)におけるA-A線断面図である。

【0032】図17に、スプリットゲート型メモリセル21を用いたフラッシュEEPROM171の全体構成を示す。図18に、フラッシュEEPROM171の各動作モードにおける各部の電位を示す。

【0033】スプリットゲート型メモリセル21において、スプリットゲート型メモリセル1と異なるのは、ソース領域3およびドレイン領域4の呼び方が逆になっている点である。つまり、メモリセル21のソース領域3はメモリセル1においてはドレイン領域4と呼ばれ、メモリセル21のドレイン領域4はメモリセル11におい

ではソース領域3と呼ばれる。

【0034】フラッシュEEPROM171において、フラッシュEEPROM151と異なるのは、共通ソース線SLが接地されている点だけである。従って、いずれの動作モードにおいても、共通ソース線SLを介して各ソース線RSLa〜RSLmの電位はグラウンドレベルに保持される。

【0035】また、書き込みモードにおいて、選択されたメモリセル21のドレイン領域4に接続されているビット線BLmには12Vが供給され、それ以外のビット線（非選択のビット線）BLa〜BLl、BLn〜BLzの電位はグラウンドレベルにされる。

【0036】ところで、メモリセル21においても、選択トランジスタ11の閾値電圧 $V_{th}$ は0.5Vである。従って、選択されたメモリセル21では、ソース領域3中の電子は反転状態のチャネル領域5中へ移動する。そのため、ドレイン領域4からソース領域3に向かってセル電流が流れる。一方、ドレイン領域4に12Vが印加されるため、ドレイン領域4と浮遊ゲート電極7との間の容量を介したカップリングにより、浮遊ゲート電極7の電位が持ち上げられる。そのため、チャネル領域5と浮遊ゲート電極7の間には高電界が生じる。従って、チャネル領域5中の電子は加速されてホットエレクトロンとなり、浮遊ゲート電極7へ注入される。その結果、選択されたメモリセル21の浮遊ゲート電極7には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0037】次に、図13に示すメモリセルアレイ152の製造方法を図19および図20に従い順を追って説明する。

工程1（図19（a）参照）：LOCOS法を用い、基板2上にフィールド絶縁膜13（図示略）を形成する。次に、基板2上におけるフィールド絶縁膜13の形成されていない部分（素子領域）に、熱酸化法を用いてシリコン酸化膜から成るゲート絶縁膜6を形成する。続いて、ゲート絶縁膜6上に浮遊ゲート電極7と成るドーパドポリシリコン膜31を形成する。そして、LPCVD（Low Pressure Chemical Vapor Deposition）法を用い、ドーパドポリシリコン膜31の全面にシリコン窒化膜32を形成する。次に、シリコン窒化膜32の全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、浮遊ゲート7を形成するためのエッチング用マスク33を形成する。

【0038】工程2（図19（b）参照）：エッチング用マスク33を用いた異方性エッチングにより、シリコン窒化膜32をエッチングする。そして、エッチング用マスク33を剥離する。次に、LOCOS法を用い、エッチングされたシリコン窒化膜32を酸化用マスクとしてドーパドポリシリコン膜31を酸化することで、絶縁膜19を形成する。このとき、シリコン窒化膜31の端

部に絶縁膜19の端部が侵入し、バースピーク19aが形成される。

【0039】工程3（図19（c）参照）：シリコン窒化膜32を除去する。次に、絶縁膜19をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜31をエッチングして浮遊ゲート電極7を形成する。このとき、絶縁膜19の端部にはバースピーク19aが形成されているため、浮遊ゲート電極7の上縁部はバースピーク19aの形状に沿って尖鋭になり、突起7bが形成される。

【0040】工程4（図19（d）参照）：熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を形成する。すると、積層された各絶縁膜6、8は一体化される。

【0041】工程5（図20（a）参照）：上記の工程で形成されたデバイスの全面に、制御ゲート電極9と成るドーパドポリシリコン膜34を形成する。尚、ドーパドポリシリコン膜31、34の形成方法には以下のものがある。

【0042】方法1：LPCVD法を用いてポリシリコン膜を形成する際に、不純物を含んだガスを混入する。方法2：LPCVD法を用いてノンドーパのポリシリコン膜を形成した後に、ポリシリコン膜上に、POCl<sub>3</sub>などを用いて不純物拡散源層を形成し、その不純物拡散源層からポリシリコン膜に不純物を拡散させる。

【0043】方法3：LPCVD法を用いてノンドーパのポリシリコン膜を形成した後に、不純物イオンを注入する。

工程6（図20（b）参照）：上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、制御ゲート電極9を形成するためのエッチング用マスク35を形成する。

【0044】工程7（図20（c）参照）：エッチング用マスク35を用いた異方性エッチングにより、ドーパドポリシリコン膜34をエッチングして制御ゲート電極9を形成する。その後、エッチング用マスク35を剥離する。

【0045】

【発明が解決しようとする課題】図21に示すように、工程4におけるトンネル絶縁膜8の形成初期には、自然酸化膜や構造遷移層などに起因する不完全なシリコン酸化膜8aが形成される。この不完全なシリコン酸化膜8aには、完全なシリコン酸化物であるO-Si-O結合だけでなく、O-Si-Hの形をとらないダングリングボンドが含まれている。

【0046】すなわち、工程3から工程4に移行する間に、浮遊ゲート電極7の側壁部が酸素を含んだ外気に晒されるため、浮遊ゲート電極7の側壁部の表面に自然酸化膜が形成される。その自然酸化膜には、O-Si-Hの形を



とらないダングリングボンドが含まれている。

【0047】また、ポリシリコン膜から成る浮遊ゲート電極7と、シリコン酸化膜から成るトンネル絶縁膜8との境界部分には構造遷移層が存在する。その構造遷移層には、0-Si-0の形をとらないダングリングボンドが存在しやすい。

【0048】図22は、不完全なシリコン酸化膜8aが形成されたメモリセル1の断面図である。前記したように、消去モードでは、図22の矢印Bに示すように、浮遊ゲート電極7中の電子が制御ゲート電極9側へ引き抜かれて、メモリセル1に記憶されたデータの消去が行われる。このとき、高電界で加速された電子が不完全なシリコン酸化膜8aを含むトンネル絶縁膜8を通過するため、各膜8、8aには大きなストレスがかかることになる。

【0049】そのため、書き込み動作および消去動作を繰り返すと、消去動作時に各膜8、8aに加わるストレスによって、不完全なシリコン酸化膜8a中に電子トラップが形成、蓄積される。その電子トラップは、浮遊ゲート電極7から制御ゲート電極9への電子の移動を阻害する。従って、書き込み回数および消去回数（すなわち、データの書き換え回数）が増加するにつれて不完全なシリコン酸化膜8a中の電子トラップも増加し、浮遊ゲート電極7中の電子を十分に引き抜くことができなくなる。

【0050】そのため、図23に示すように、読み出しモードにおけるセル電流は、データの書き換え回数の増加につれて、書き込み状態のメモリセル1のセル電流が変化しないのに対し、読み出し状態のメモリセル1のセル電流が低下していく。その結果、書き込み状態のメモリセル1のセル電流と読み出し状態のメモリセル1のセル電流との差が少なくなり、前記した各メモリセル1間のセル電流の大小の判別ができなくなる。つまり、メモリセル1に記憶されたデータの値を読み出すことが不可能になり、メモリセルとしての機能を果たさなくなる。

【0051】このように、工程4において不完全なシリコン酸化膜8aが形成されると、メモリセル1におけるデータの書き換え回数を増加させるのが難しくなり、メモリセル1の動作寿命が短くなるという問題がある。そして、メモリセル1の動作寿命が短くなると、フラッシュEEPROM151の動作寿命も短くなる。尚、この問題は、メモリセル21およびフラッシュEEPROM171においても同様に起こる。

【0052】また、図24に示すように、工程4において、熱酸化法を用いてトンネル絶縁膜8を形成した場合、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入し、バースピーク（ゲートバースピーク）8bが形成される恐れがある。バースピーク8bが形成されると、その分だけバースピーク8bの反対側のトンネル絶縁膜8の表面部分に肉付けが起こって間隙8cが生じ

る。

【0053】すると、工程5においてドーパドポリシリコン膜34を形成した際に、間隙8c内にもドーパドポリシリコン膜34が形成されるため、制御ゲート電極9の下端部は間隙8cの形状に沿って尖鋭になり、突起9aが形成される。

【0054】図25は、制御ゲート電極9の下端部に突起9aが形成されたメモリセル1の断面図である。制御ゲート電極9の下端部に突起9aが形成されると、書き込みモードにおいて、突起9aから電子が放出され、その電子が浮遊ゲート7に誤って注入されるという現象が起こる。この現象は、一般にリバーストンネリング現象と呼ばれる。リバーストンネリング現象が起こると、フラッシュEEPROM151の書き込みモードにおいて、非選択のメモリセル1にも誤ってデータが書き込まれてしまう。つまり、各メモリセル1にそれぞれ別個のデータを書き込むことが不可能になり、EEPROMとしての機能を果たさなくなる。

【0055】このように、工程4においてバースピーク8bが形成されると、リバーストンネリング現象が起こり、フラッシュEEPROM151が機能しなくなるという問題がある。尚、この問題は、メモリセル21およびフラッシュEEPROM171においても同様に起こる。

【0056】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

（1）長寿命なスプリットゲート型トランジスタおよびその製造方法を提供する。

【0057】（2）リバーストンネリング現象を防止することが可能なスプリットゲート型トランジスタおよびその製造方法を提供する。

（3）長寿命なスプリットゲート型トランジスタをメモリセルとして用いた不揮発性半導体メモリを提供する。

【0058】（4）リバーストンネリング現象を防止することが可能なスプリットゲート型トランジスタをメモリセルとして用いた不揮発性半導体メモリを提供する。

【0059】

【課題を解決するための手段】請求項1に記載の発明は、浮遊ゲート電極（7）の一部が窒素原子を含有したことをその要旨とする。

【0060】請求項2に記載の発明は、少なくとも浮遊ゲート電極（7）におけるデータの消去時に電子が飛び出す部分が窒素原子を含有したことをその要旨とする。請求項3に記載の発明は、少なくとも浮遊ゲート電極（7）の側壁部に、窒素原子を含有した層（7a）が設けられたことをその要旨とする。

【0061】請求項4に記載の発明は、少なくとも浮遊ゲート電極（7）の制御ゲート電極（9）に覆われた側壁部に、窒素原子を含有した層（7a）が設けられたことをその要旨とする。



【0062】請求項5に記載の発明は、請求項1～4のいずれか1項に記載のスプリットゲート型トランジスタにおいて、浮遊ゲート電極(7)と制御ゲート電極(9)との間に設けられたトンネル絶縁膜(8)を備え、浮遊ゲート電極はポリシリコン膜、アモルファスシリコン膜、単結晶シリコン膜から成るグループから選択された一つの導電膜から形成され、トンネル絶縁膜は酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とする絶縁膜から形成されたことをその要旨とする。

【0063】請求項6に記載の発明は、半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程とを備えたことをその要旨とする。

【0064】請求項7に記載の発明は、半導体基板(2)上にポリシリコン膜(31)、アモルファスシリコン膜、単結晶シリコン膜から成るグループから選択された一つの導電膜を形成する工程と、その導電膜(31)をパターンニングして浮遊ゲート電極(7)を形成する工程と、浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程と、熱酸化法、熱窒化法、熱酸窒化法、CVD法のうち少なくとも一つの方法を用い、上記の工程で形成されたデバイス上に、酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とするトンネル絶縁膜(8)を形成する工程とを備えたことをその要旨とする。

【0065】請求項8に記載の発明は、請求項6または請求項7に記載のスプリットゲート型トランジスタの製造方法において、浮遊ゲート電極(7)を窒化する際に、窒素イオンの注入法、窒素プラズマに晒す方法、窒化雰囲気中で熱処理を行う方法からなるグループから選択されたいずれか一つの方法を用いることをその要旨とする。

【0066】請求項9に記載の発明は、請求項6または請求項7に記載のスプリットゲート型トランジスタの製造方法において、浮遊ゲート電極(7)を窒化する際に、窒素イオンの回転斜めイオン注入法を用いることをその要旨とする。

【0067】請求項10に記載の発明は、浮遊ゲート電極(7)と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)の所望の部分が窒素原子を含有していることをその要旨とする。

【0068】請求項11に記載の発明は、浮遊ゲート電極(7)と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有していることをその要旨とする。

【0069】請求項12に記載の発明は、請求項10または請求項11に記載のスプリットゲート型トランジスタにおいて、トンネル絶縁膜(8)は酸化シリコン、酸窒化シリコン、窒化シリコンのうち少なくとも一つを主成分とする膜から成ることをその要旨とする。

【0070】請求項13に記載の発明は、半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、上記の工程で形成されたデバイス上にトンネル絶縁膜(8)を形成する工程と、トンネル絶縁膜を窒化する工程とを備えたことをその要旨とする。

【0071】請求項14に記載の発明は、請求項13に記載のスプリットゲート型トランジスタの製造方法において、トンネル絶縁膜(8)を窒化する際に、窒素イオンの注入法、窒素プラズマに晒す方法、窒化雰囲気中で熱処理を行う方法からなるグループから選択されたいずれか一つの方法を用いることをその要旨とする。

【0072】請求項15に記載の発明は、少なくとも浮遊ゲート電極(7)におけるデータの消去時に電子が飛び出す部分が窒素原子を含有し、浮遊ゲート電極と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有していることをその要旨とする。

【0073】請求項16に記載の発明は、少なくとも浮遊ゲート電極(7)の制御ゲート電極(9)に覆われた側壁部に、窒素原子を含有した層(7a)が設けられ、浮遊ゲート電極と制御ゲート電極(9)との間に形成されたトンネル絶縁膜(8)が窒素原子を含有し、そのトンネル絶縁膜中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜中における制御ゲート電極に近い部分まで窒素原子を含有していることをその要旨とする。

【0074】請求項17に記載の発明は、半導体基板(2)上に浮遊ゲート電極(7)を形成する工程と、浮遊ゲート電極の側壁部を窒化して窒素原子を含有した層(7a)を形成する工程と、上記の工程で形成されたデバイス上にトンネル絶縁膜(8)を形成する工程と、トンネル絶縁膜を窒化する工程とを備えたことをその要旨とする。

【0075】請求項18に記載の発明は、請求項1～5、10～12、15、16のいずれか1項に記載のスプリットゲート型トランジスタをメモリセルとして用いることをその要旨とする。

【0076】請求項19に記載の発明は、請求項6～9、13、14、17のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いることをその要旨とする。

50 【0077】

## 【発明の実施の形態】

(第1実施形態)以下、本発明を具体化した第1実施形態を図面に従って説明する。尚、本実施形態において、図12、図13、図19、図20に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0078】図1は、本実施形態のスプリットゲート型メモリセル41の一部断面図である。図2(a)は、スプリットゲート型メモリセル41を用いたフラッシュEEPROM151のメモリセルアレイ152の一部断面図である。図2(b)は、メモリセルアレイ152の一部平面図である。尚、図2(a)は、図2(b)におけるA-A線断面図である。

【0079】図1および図2において、図12および図13と異なるのは以下の点だけである。

(1) 基板2上に複数のスプリットゲート型メモリセル(スプリットゲート型トランジスタ)41が配置されている。各メモリセル41は、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極7、制御ゲート電極9から構成されている。

【0080】基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル41(以下、2つを区別するため「41a」「41b」と表記する)は、ソース領域3を共通にし、その共通のソース領域3に対して浮遊ゲート電極7および制御ゲート電極9が反転した形で配置されている。

【0081】(2) 浮遊ゲート電極7の側壁部に、窒素原子を1~10%程度の濃度で含有したドーパドポリシリコン膜から成る層(以下、窒素原子含有層という)7aが設けられている。浮遊ゲート電極7の形状は直方体であり、その4つの側壁部全てに窒素原子含有層7aが設けられている。

【0082】尚、本実施形態のスプリットゲート型メモリセル41を用いたフラッシュEEPROM51の全体構成は、図14に示した従来の形態と同じである。また、本実施形態のフラッシュEEPROM51の各動作モードにおける各部の電位は、図15に示した従来の形態と同じである。

【0083】次に、本実施形態の製造方法を図3~図5に従い順を追って説明する。

工程1(図3(a)参照)、工程2(図3(b)参照)：従来の形態の工程1、工程2と同じである。

【0084】工程3(図3(c)参照)：シリコン窒化膜32を除去する。次に、絶縁膜19をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜31をエッチングして浮遊ゲート電極7を形成する。このとき、絶縁膜19の端部にはバースピーク19aが形成されているため、浮遊ゲート電極7の上縁部はバースピーク19aの形状に沿って尖鋭になり、突起7bが形成される。以上の工程は、従来の形態の工

程3と同じである。

【0085】続いて、浮遊ゲート電極7の側壁部に窒素イオンを注入することで、窒素原子含有層7aを形成する。このとき、直方体を成す浮遊ゲート電極7の4つの側壁部に均等に窒素イオンを注入するためには、基板2が形成されたシリコンウェハ(図示略)全体を回転させながら、基板2の表面に立つ法線から概ね60°程度の角度で窒素イオンを注入することが望ましい。このように、シリコンウェハ全体を回転させながら、シリコンウェハに対して所定の角度でイオン注入を行う方法は、一般に回転斜めイオン注入法と呼ばれる。ここで、窒素イオンの注入条件は、注入エネルギー：10keV程度、ドーパ量： $1 \times 10^{15} \sim 5 \times 10^{16}$  atoms/cm<sup>2</sup>程度である。

尚、注入エネルギー：10keVにおける窒素イオンのポリシリコン膜中の注入飛程(RP：Projection Range)は0.02μm程度であり、注入された窒素イオンは、浮遊ゲート電極7の側壁部のごく表面近傍だけに導入されるため、窒素原子含有層7aの膜厚もごく薄いものとなる。

【0086】工程4(図3(d)参照)：熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を形成する。すると、積層された各絶縁膜6、8は一体化される。

【0087】このとき、浮遊ゲート電極7の側壁部に窒素原子含有層7aが設けられているため、トンネル絶縁膜8の形成初期において、自然酸化膜や構造遷移層などに起因する不完全なシリコン酸化膜が形成されることはない。

【0088】すなわち、窒素原子含有層7aが設けられているため、工程3から工程4に移行する間に、浮遊ゲート電極7の側壁部が酸素を含んだ外気に晒されても、浮遊ゲート電極7の側壁部の表面に、O-Si-Oの形をとらないダングリングボンドを含む自然酸化膜の形成が抑制される。

【0089】また、前記したように、ポリシリコン膜から成る浮遊ゲート電極7と、シリコン酸化膜から成るトンネル絶縁膜8との境界部分には構造遷移層が存在する。その構造遷移層には、O-Si-Oの形をとらないダングリングボンドが発生しやすい。しかし、そのダングリングボンドの未結合手は、窒素原子含有層7aに含まれる3価の窒素原子によってターミネートされる。その結果、構造遷移層のダングリングボンドの発生を抑制することができる。

【0090】加えて、窒素原子含有層7aが設けられているため、熱酸化法を用いてトンネル絶縁膜8を形成した場合でも、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入してバースピーク(ゲートバースピーク)が抑制される。

【0091】工程5(図4(a)参照)~工程7(図4(c)参照)：従来の形態の工程5~工程7と同じであ

る。

工程8(図5(a)参照);上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ソース領域3を形成するためのイオン注入用マスク42を形成する。次に、通常のイオン注入法を用い、リンイオン(P<sup>+</sup>)を注入してソース領域3を形成する。その後、イオン注入用マスク42を剥離する。

【0092】このとき、イオン注入用マスク42は、少なくとも基板2上のドレイン領域4と成る部分を覆うように形成すると共に、浮遊ゲート電極7上をはみ出さないように形成する。その結果、ソース領域3の位置は、浮遊ゲート電極7の端部によって規定される。

【0093】工程9(図5(b)参照);上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ドレイン領域4を形成するためのイオン注入用マスク43を形成する。次に、通常のイオン注入法を用い、ヒ素イオン(As<sup>+</sup>)を注入してドレイン領域4を形成する。

【0094】このとき、イオン注入用マスク43は、少なくともソース領域3を覆うように形成する。

工程10(図5(c)参照);イオン注入用マスク43を剥離すると、本実施形態のスプリットゲート型メモリセル41(41a、41b)が完成する。

【0095】このように本実施形態によれば、以下の作用および効果を得ることができる。

(1)浮遊ゲート電極7の側壁部に窒素原子含有層7aが設けられている。そのため、工程4におけるトンネル絶縁膜8の形成初期にも、従来の形態の図21に示すような不完全なシリコン酸化膜が形成されることはない。

【0096】(2)上記(1)より、メモリセル41に対して、書き込み動作および消去動作を繰り返しても、消去動作時にトンネル絶縁膜8に加わるストレスによって、トンネル絶縁膜8中に電子トラップが形成されることはない。従って、データの書き換え回数が増加しても、消去モードにおいて、浮遊ゲート電極7中の電子を十分に引き抜くことができる。

【0097】そのため、データの書き換え回数が増加しても、読み出しモードにおいて、読み出し状態のメモリセル41のセル電流が低下することはない。従って、書き込み状態のメモリセル41のセル電流と読み出し状態のメモリセル41のセル電流との差が少なくなることはなく、前記した各メモリセル41間のセル電流の大小の判別を容易に行うことができる。

【0098】(3)上記(2)より、メモリセル41におけるデータの書き換え回数を増加させることが可能になり、メモリセル41の動作寿命を長くすることができる。その結果、フラッシュEEPROM51の動作寿命を長くすることもできる。

【0099】(4)窒素原子含有層7aが設けられてい

るため、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入してバースピーク(ゲートバースピーク)が形成されることはない。そのため、工程4におけるトンネル絶縁膜8の形成時に、従来の形態の図24に示すようなトンネル絶縁膜8の間隙8cが生じることはない。そして、工程5におけるドーパドポリシリコン膜34の形成時に、従来の形態の図25に示すような制御ゲート電極9の下端部の突起9aが形成されることはない。

10 【0100】(5)上記(4)より、書き込みモードにおいて、制御ゲート電極9から電子が放出され、その電子が浮遊ゲート7に誤って注入されるという現象(リバーストンネリング現象)が起こることはない。従って、フラッシュEEPROM51の書き込みモードにおいて、非選択のメモリセル41にも誤ってデータが書き込まれることはなく、各メモリセル41にそれぞれ別個のデータを書き込むことができる。

【0101】(6)回転斜めイオン注入法を用いて窒素原子含有層7aを形成している。従って、窒素原子含有層7aを高い制御性で容易に形成することができる。

(7)工程3において、窒素原子含有層7aを形成する際の窒素イオンの注入条件について、ドーズ量の範囲は $1 \times 10^{15} \sim 5 \times 10^{16}$  atoms/cm<sup>2</sup>程度が適当であり、この範囲より多くなると窒化シリコンが形成されてトンネル絶縁膜8の形成が阻害される傾向があり、この範囲より少なくなると前記効果が小さくなるという傾向がある。

【0102】(第2実施形態)以下、本発明を具体化した第2実施形態を図面に従って説明する。尚、本実施形態において、図12、図13、図19、図20に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0103】図6(a)は、本実施形態のスプリットゲート型メモリセル61を用いたフラッシュEEPROM71のメモリセルアレイ152の一部断面図である。図6(b)は、メモリセルアレイ152の一部平面図である。尚、図6(a)は、図6(b)におけるA-A線断面図である。

【0104】図6において、図12および図13と異なるのは以下の点だけである。

(1)基板2上に複数のスプリットゲート型メモリセル(スプリットゲート型トランジスタ)61が配置されている。各メモリセル41は、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極7、制御ゲート電極9から構成されている。

【0105】基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル61(以下、2つを区別するため「61a」、「61b」と表記する)は、ソース領域3を共通にし、その共通のソース領域3に対して浮遊ゲート電極7および制御ゲート電極9が反転した形で配置

されている。

【0106】(2)トンネル絶縁膜8が窒素原子を含有している。図7～図9に、トンネル絶縁膜8に含有される窒素原子の分布および濃度を示す。図7に、トンネル絶縁膜8中において、浮遊ゲート電極7に近い部分に窒素濃度のピークがある場合を示す。

【0107】図8に、トンネル絶縁膜8中において、制御ゲート電極9に近い部分に窒素濃度のピークがある場合を示す。図9に、トンネル絶縁膜8中において、浮遊ゲート電極7に近い部分と制御ゲート電極9に近い部分の両方に窒素濃度のピークがある場合を示す。

【0108】尚、図7～図8において、(a)～(c)には窒素濃度のピークレベルが大きい場合、(g)～(i)には窒素濃度のピークレベルが小さい場合、(d)～(f)には窒素濃度のピークレベルが(a)～(c)と(g)～(i)との中間の場合を示す。また、(a)(d)(g)には窒素分布がナローな場合、(c)(f)(i)には窒素分布がブロードな場合、(b)(e)(h)には窒素分布が(a)(d)(g)と(c)(f)(i)との中間の場合を示す。

【0109】前記したように、浮遊ゲート電極7とトンネル絶縁膜8との境界部分には構造遷移層が存在し、その構造遷移層にはO-Si-Oの形をとらないダングリングボンドが発生しやすい。しかし、その構造遷移層に対応するトンネル絶縁膜8に窒素原子を含有させることにより、そのダングリングボンドの未結合手を3価の窒素原子によってターミネートすることが可能になり、ダングリングボンドをなくすることができる。

【0110】従って、図7または図9に示すように、トンネル絶縁膜8中において浮遊ゲート電極7に近い部分に窒素濃度のピークがあれば、構造遷移層のダングリングボンドをなくすることができる。

【0111】但し、その場合の窒素濃度には最適値があり、それよりも濃度が高くなるとトンネル絶縁膜8中の応力が増大するという問題が起こり、最適値よりも濃度が低くなるとダングリングボンドの未結合手を完全にはターミネートできなくなるという問題が起こる。

【0112】ところで、図8または図9に示すように、トンネル絶縁膜8中において制御ゲート電極9に近い部分に窒素分布のピークがある場合は、消去動作時に発生する電子トラップを抑制することができる。また、窒素分布がブロードな場合には、界面近傍以外に発生する電子トラップについても抑制することができる。

【0113】従って、トンネル絶縁膜8中の窒素原子の分布状態がブロードであるか、または、トンネル絶縁膜8中における制御ゲート電極9に近い部分まで窒素原子が含有していることが望ましい。

【0114】尚、本実施形態のスプリットゲート型メモリセル6を用いたフラッシュEEPROM71の全体構成は、図14に示した従来の形態と同じである。ま

た、本実施形態のフラッシュEEPROM71の各動作モードにおける各部の電位は、図15に示した従来の形態と同じである。

【0115】次に、本実施形態の製造方法を説明する。本実施形態の製造方法において、従来の形態および第1実施形態と異なるのは以下の点だけである。すなわち、従来の形態の工程4が終了した後に、窒化雰囲気(NH<sub>3</sub>など)中で熱処理を行うことにより、トンネル絶縁膜8に窒素原子を含有させる。このとき、トンネル絶縁膜8の膜厚および熱処理条件を調節することにより、図7～図9に示すように、トンネル絶縁膜8に含有される窒素原子の分布および濃度を調整することができる。

【0116】その後、第1実施形態の工程5～工程10を経て、本実施形態のスプリットゲート型メモリセル61が完成する。このように本実施形態によれば、トンネル絶縁膜8が窒素原子を含有しているため、第1実施形態の〔1〕～〔3〕と同様の作用および効果を得ることができる。また、トンネル絶縁膜8に窒素原子を含有させる方法として、窒化雰囲気中での熱処理を用いるため、トンネル絶縁膜8に含有される窒素原子の分布および濃度を容易に所望の状態にすることができる。

【0117】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1)第1実施形態において、浮遊ゲート電極7の4つの側壁部の全てに窒素原子含有層7aを設けるのではなく、消去モードにおいて電子が飛び出す部分だけに窒素原子含有層7aを設ける。この場合には、窒素原子含有層7aの形成にあたって、回転斜めイオン注入法を用いる必要はなく、通常の斜めイオン注入法を用いて浮遊ゲート電極7の必要な箇所のみに窒素イオンを注入すればよい。

【0118】(2)第1実施形態において、窒素原子含有層7aを形成するに際して、イオン注入法ではなく、以下の方法を用いる。

(a)浮遊ゲート電極7の側壁部を窒素プラズマに晒す。

【0119】(b)浮遊ゲート電極7の形成後に、窒化雰囲気(NH<sub>3</sub>など)中で熱処理を行う。

(3)第2実施形態において、トンネル絶縁膜8に窒素原子を含有させるに際して、窒化雰囲気中で熱処理を行うのではなく、以下の方法を用いる。

【0120】(a)トンネル絶縁膜8を窒素プラズマに晒す。

(b)トンネル絶縁膜8に窒素イオンを注入する。

(c)制御ゲート電極9と成るドープドポリシリコン膜34中に窒素原子を含有させ、そのドープドポリシリコン膜34中の窒素をトンネル絶縁膜8中に拡散させる。

【0121】(d)絶縁膜19を省く。

(e)各絶縁膜6、8を、酸化シリコン、酸化シリコ

21

ン、窒化シリコンのうち少なくとも一つを主成分とする他の絶縁膜に置き代る。その絶縁膜の形成には、熱酸化法、熱窒化法、熱酸窒化法、CVD法のうち少なくとも一つの方法を用いればよい。また、これらの異なる絶縁膜を複数積層した構造に置き代える。

【0122】(6)各ゲート電極7、9の材質をそれぞれ、ドーパドポリシリコン以外の導電性材料(アモルファスシリコン、単結晶シリコン、高融点金属を含む各種金属、シリサイドなど)に置き代える。

【0123】(7)P型単結晶シリコン基板2をP型ウェルに置き代える。

(8)ソース領域3を形成するために注入する不純物イオンを、リンイオン以外のN型不純物イオン(ヒ素、アンチモンなど)に置き代える。また、ドレイン領域4を形成するために注入する不純物イオンを、ヒ素イオン以外のN型不純物イオン(リン、アンチモンなど)に置き代える。

【0124】(9)P型単結晶シリコン基板2をN型単結晶シリコン基板またはN型ウェルに置き代え、ソース領域3およびドレイン領域4を形成するために注入する不純物イオンとしてP型不純物イオン(ホウ素、インジウムなど)を用いる。

【0125】(10)第1実施形態において、スプリットゲート型メモリセル41のソース領域3をドレイン領域とし、ドレイン領域4をソース領域とする。図10に、その場合のメモリセルアレイ152の一部断面図を示す。この場合のフラッシュEEPROM81の全体構成は、図17に示した従来の形態と同じである。また、この場合のフラッシュEEPROM81の各動作モードにおける各部の電位は、図18に示した従来の形態と同じである。

【0126】(11)第2実施形態において、スプリットゲート型メモリセル61のソース領域3をドレイン領域とし、ドレイン領域4をソース領域とする。図11に、その場合のメモリセルアレイ152の一部断面図を示す。この場合のフラッシュEEPROM91の全体構成は、図17に示した従来の形態と同じである。また、この場合のフラッシュEEPROM91の各動作モードにおける各部の電位は、図18に示した従来の形態と同じである。

【0127】(12)第1実施形態と第2実施形態とを併用する。以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0128】(イ)請求項1～5、10～12、15、16のいずれか1項に記載のスプリットゲート型トランジスタにおいて、浮遊ゲート電極(7)上にLOCOS法によって形成された絶縁膜(19)が形成され、浮遊ゲート電極の上部のカドに突起(7b)が形成されたスプリットゲート型トランジスタ。

22

【0129】(ロ)請求項6～9、13、14、17のいずれか1項に記載のスプリットゲート型トランジスタの製造方法において、LOCOS法を用い、浮遊ゲート電極(7)上に絶縁膜(19)を形成し、その絶縁膜の端部に形成されたバースビーク(19a)により、浮遊ゲート電極の上部のカドに突起(7a)を形成する工程を備えたスプリットゲート型トランジスタの製造方法。

【0130】上記(イ)(ロ)のようにすれば、浮遊ゲート電極に突起が形成されるため、浮遊ゲート電極に蓄積された電子を制御ゲート電極へ引き抜く際に電子の移動が容易になり、効率的に引き抜くことができる。

【0131】(ハ)請求項8または請求項14に記載のスプリットゲート型トランジスタの製造方法において、前記窒化雰囲気は、 $N_2O$ ガス、 $NO$ ガス、 $NH_3$ ガスから成るグループから選択された少なくとも一つのガスを含むスプリットゲート型トランジスタの製造方法。

【0132】このようにすれば、確実な窒化処理を簡単かつ容易に行うことができる。

【0133】

【発明の効果】請求項1～5、10～12、15、16のいずれか1項に記載の発明によれば、長寿命なスプリットゲート型トランジスタを提供することができる。

【0134】請求項3または請求項4に記載の発明によれば、リバーストンネリング現象を防止することが可能なスプリットゲート型トランジスタを提供することができる。

【0135】請求項6～9、13、14、17のいずれか1項に記載の発明によれば、長寿命なスプリットゲート型トランジスタの製造方法を提供することができる。請求項7～9のいずれか1項に記載の発明によれば、リバーストンネリング現象を防止することが可能なスプリットゲート型トランジスタの製造方法を提供することができる。

【0136】請求項8、9、14のいずれか1項に記載の発明によれば、確実な窒化処理を簡単かつ容易に行うことができる。請求項18または請求項19に記載の発明によれば、長寿命な不揮発性半導体メモリを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態の概略断面図。

【図2】図2(b)は第1実施形態の一部平面図、図2(a)は図2(b)のA-A線断面図。

【図3】第1実施形態の製造工程を説明するための概略断面図。

【図4】第1実施形態の製造工程を説明するための概略断面図。

【図5】第1実施形態の製造工程を説明するための概略断面図。

【図6】図6(b)は第2実施形態の一部平面図、図6(a)は図6(b)のA-A線断面図。

- 【図7】第2実施形態の作用を説明するための説明図。  
 【図8】第2実施形態の作用を説明するための説明図。  
 【図9】第2実施形態の作用を説明するための説明図。  
 【図10】図10(b)は別の実施形態の一部平面図、  
 図10(a)は図10(b)のA-A線断面図。  
 【図11】図11(b)は別の実施形態の一部平面図、  
 図11(a)は図11(b)のA-A線断面図。  
 【図12】従来の形態の概略断面図。  
 【図13】図13(b)は従来の実施形態の一部平面  
 図、図13(a)は図13(b)のA-A線断面図。  
 【図14】第1、第2実施形態および従来の形態のブロ  
 ック回路図。  
 【図15】第1、第2実施形態および従来の形態の説明  
 図。  
 【図16】図16(b)は従来の実施形態の一部平面  
 図、図16(a)は図16(b)のA-A線断面図。  
 【図17】別の実施形態および従来の形態のブロック回  
 路図。  
 【図18】別の実施形態および従来の形態の説明図。  
 【図19】第2実施形態および従来の形態の製造工程を

説明するための概略断面図。

【図20】第2実施形態および従来の形態の製造工程を  
 説明するための概略断面図。

【図21】従来の形態の製造工程を説明するための概略  
 断面図。

【図22】従来の形態の概略断面図。

【図23】従来の形態の特性図。

【図24】従来の形態の製造工程を説明するための概略  
 断面図。

【図25】従来の形態の概略断面図。

【符号の説明】

2…P型単結晶シリコン基板

3…ソース領域

4…ドレイン領域

7…浮遊ゲート電極

7a…窒素原子含有層

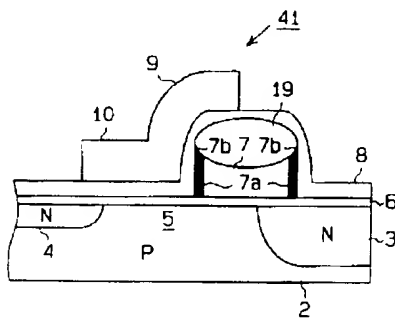
8…トンネル絶縁膜

9…制御ゲート電極

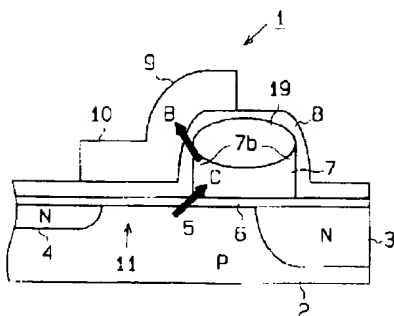
19…絶縁膜

31…ドーパドポリシリコン膜

【図1】



【図12】



【図3】

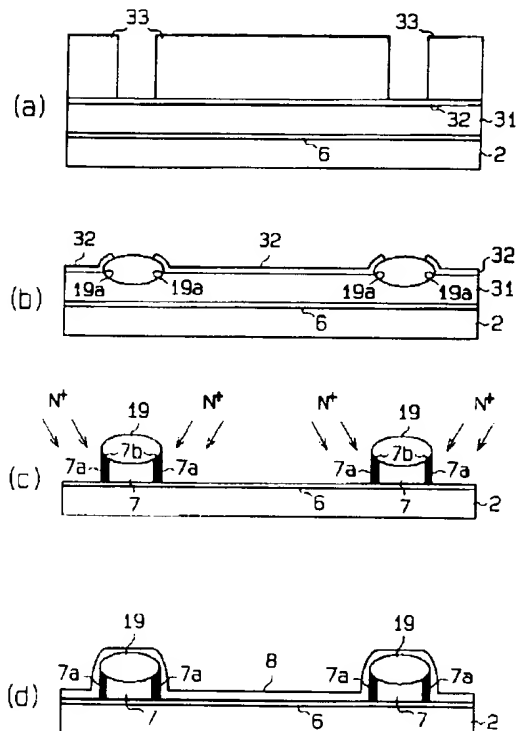


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

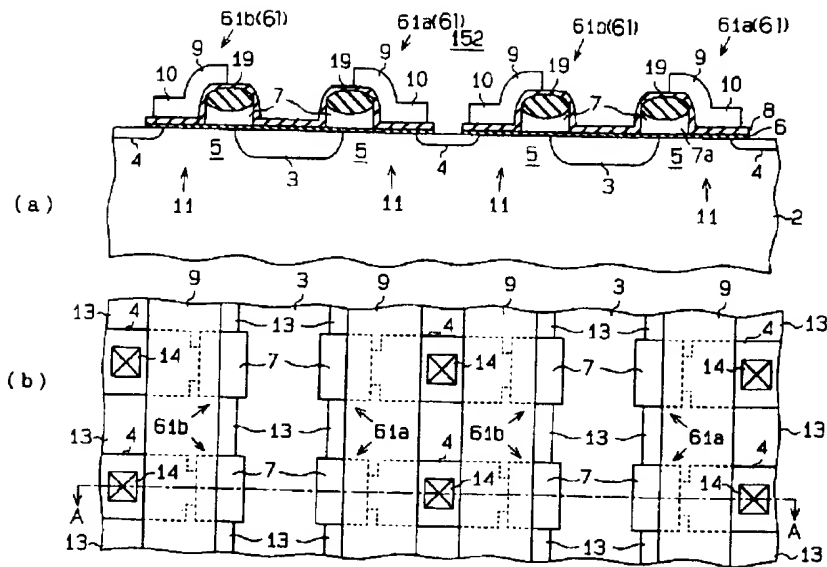
- (a)** Shows a substrate 2 with a base layer 6. On top of the base layer 6 are two circular regions 7. Each region 7 has a central circular feature 7a. Above each 7a is a dome-shaped structure 19. A horizontal layer 34 is positioned above the dome structures 19. A thin layer 8 is located between the base layer 6 and the circular regions 7.
- (b)** Shows the same structure as (a), but with additional rectangular blocks 35 positioned between the dome structures 19. The layer 34 is still present above the dome structures 19.
- (c)** Shows the structure after the dome structures 19 have been removed. The rectangular blocks 35 are now labeled 10. The central circular features 7a are now exposed. A new layer 9 is formed on top of the rectangular blocks 10. The base layer 6, circular regions 7, and thin layer 8 remain.

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

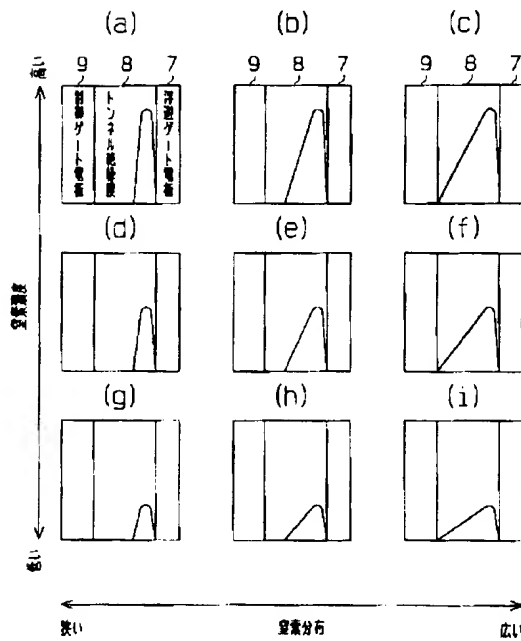
- (a)** Shows a substrate 2 with a layer 3. A layer 6 is formed on top of layer 3. Two regions 7a are formed on layer 6. A layer 9 is formed on top of layer 6, and a layer 19 is formed on top of layer 9. A layer 42 is formed on top of layer 9. Arrows labeled  $P^+$  point down to the top surface of layer 42.
- (b)** Shows the same structure as (a), but with a layer 43 formed on top of layer 9. Arrows labeled  $As^+$  point down to the top surface of layer 43.
- (c)** Shows the same structure as (b), but with a layer 41a formed on top of layer 43. Arrows labeled  $g$  point down to the top surface of layer 41a.



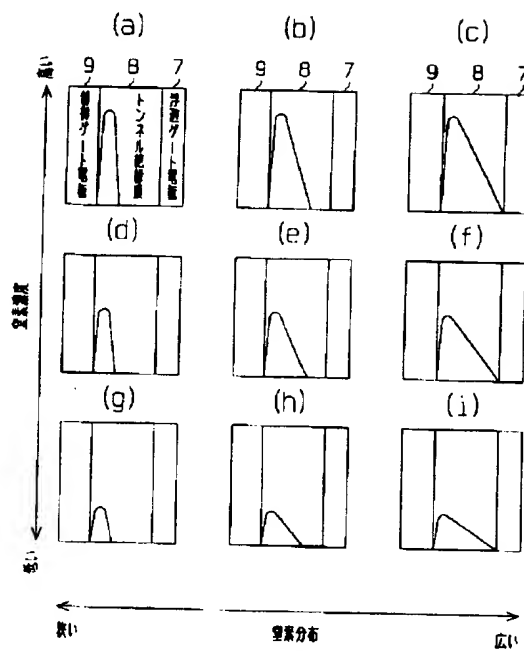
【図6】



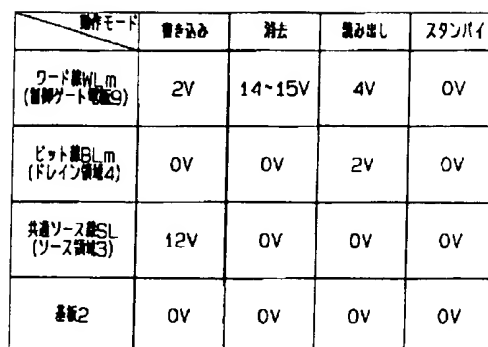
【図7】



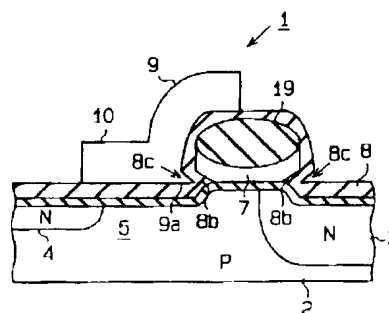
【図8】



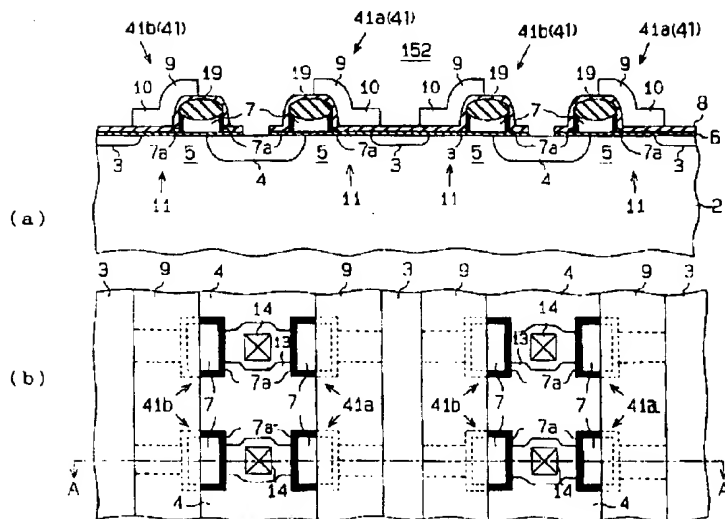
【例 15】



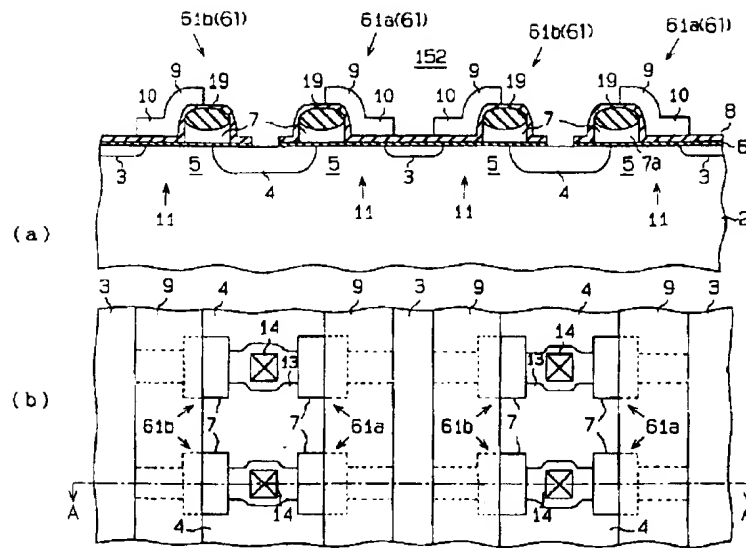
【図25】



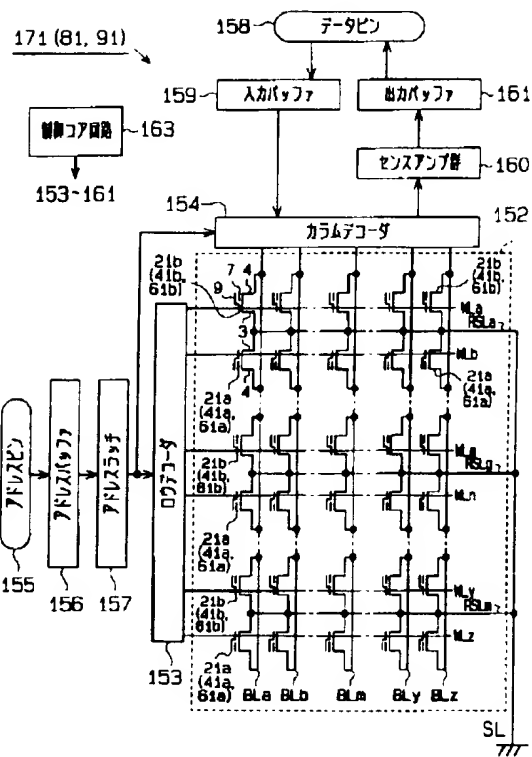
【図 10】



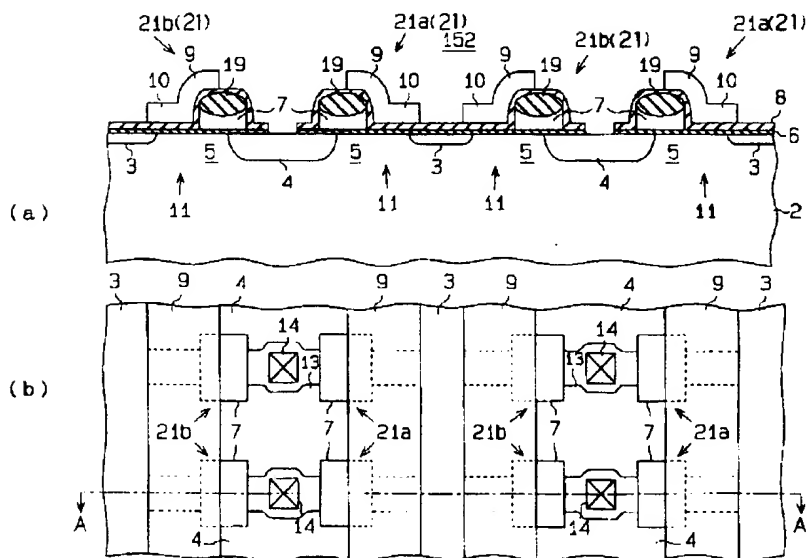
【图 1-1】



【图 17】



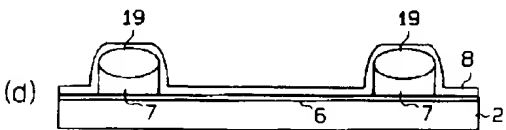
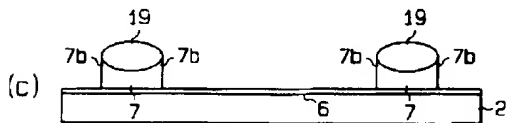
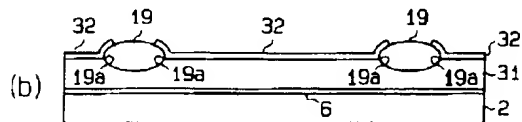
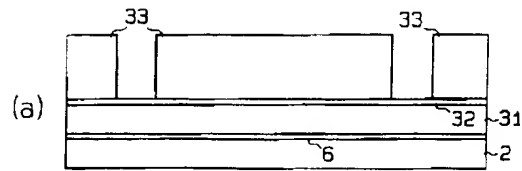
【图 16】



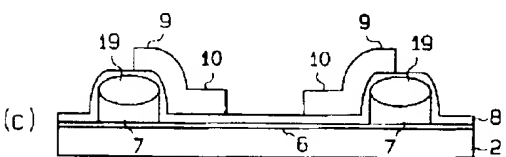
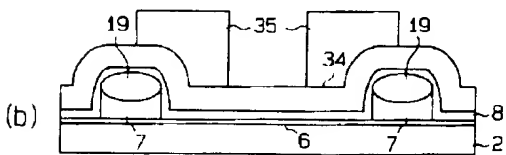
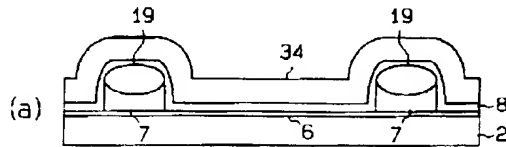
【図18】

動作モード	書き込み	消去	読み出し	スタンバイ
ワード線WLM (制御ゲート電圧G)	2V	14~15V	4V	0V
ビット線BLM (ドレイン電圧D)	12V	0V	2V	0V
共通ソース線SL (ソース電圧S)	0V	0V	0V	0V
基板2	0V	0V	0V	0V

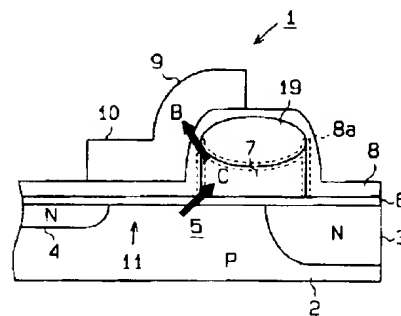
【図19】



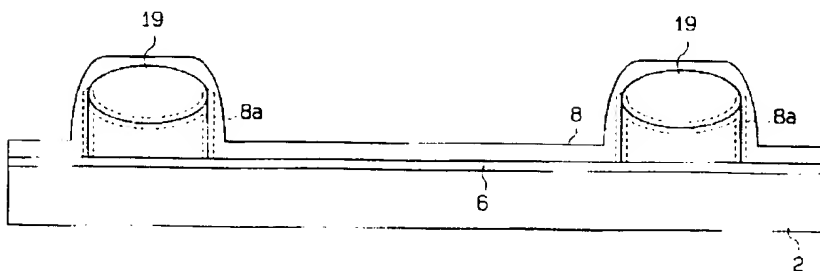
【図20】



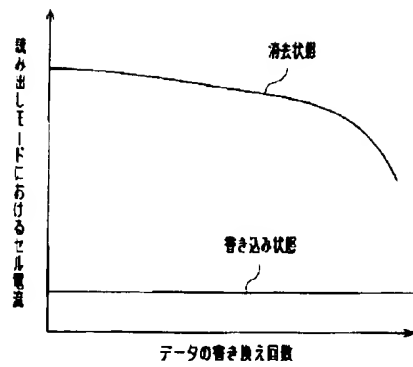
【図22】



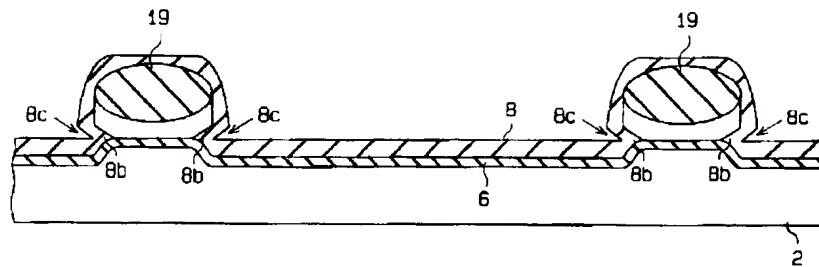
【図21】



【図23】



【図24】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 27/115

識別記号

庁内整理番号

F I

技術表示箇所